

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-132218

(43)Date of publication of application : 09.05.2002

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2000-326450

(71)Applicant : SONY CORP

(22)Date of filing : 26.10.2000

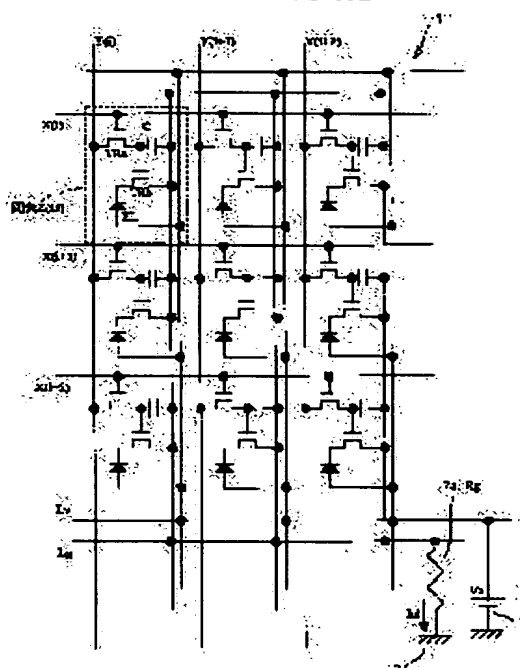
(72)Inventor : ASANO SHIN
HASEGAWA HIROSHI
YUMOTO AKIRA
SASAKA TATSUYA

(54) DISPLAY DEVICE, BRIGHTNESS LIMITING CIRCUIT, AND METHOD FOR DRIVING THE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high contrast display device having a sufficient life characteristic by reducing power consumption.

SOLUTION: The display device, wherein light-emitting elements EL holding an organic light-emitting layer between electrodes are arranged, is provided with a brightness limiting circuit 7a for limiting the maximum brightness of the light-emitting elements EL. This brightness limiting circuit 7a limits the current flowing through each light-emitting element EL according to the total current value flowing through plural light-emitting elements arranged in a display area 1, and composed of a linear resistance element Rg. This linear resistance element Rg is connected across the common ground line Lg for commonly connecting thereto non-linear driving elements TRb connected with each light-emitting element EL and the panel ground 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-132218

(P2002-132218A)

(43) 公開日 平成14年5月9日 (2002. 5. 9)

(51) Int.Cl.⁷

識別記号

F I

テ-マコ-ト* (参考)

G 0 9 G 3/30

G 0 9 G 3/30

K 3 K 0 0 7

3/20

6 1 1

3/20

6 1 1 A 5 C 0 8 0

6 4 2

6 4 2 E

6 7 0

6 7 0 J

H 0 5 B 33/14

H 0 5 B 33/14

A

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願2000-326450 (P2000-326450)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22) 出願日 平成12年10月26日 (2000. 10. 26)

(72) 発明者 浅野 慎

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 長谷川 洋

東京都品川区西五反田3丁目9番17号 ソ

ニーエンジニアリング株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

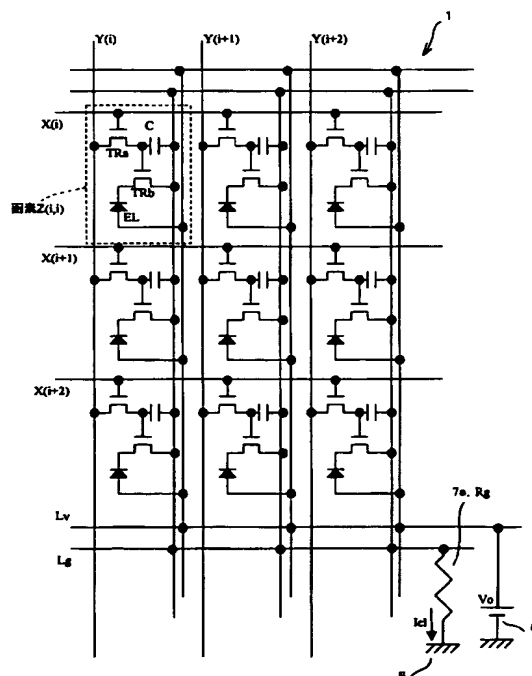
最終頁に続く

(54) 【発明の名称】 表示装置、輝度制限回路及び表示装置の駆動方法

(57) 【要約】

【課題】 消費電電力の低減を図ることで十分な寿命特性を備えた高コントラストな表示を行うことができる表示装置を提供する。

【解決手段】 電極間に有機発光層を挟持してなる発光素子 E L を表示領域 1 に配列してなる表示装置において、発光素子 E L の最大輝度を制限する輝度制限回路 7 a を設けた。この輝度制限回路 7 a は、表示領域 1 に配置された複数の発光素子に流れる合計の電流値に応じて各発光素子 E L に流れる電流を制限するものであり、線形抵抗素子 R g からなる。この線形抵抗素子 R g は、各発光素子 E L に接続された駆動用の非線形素子 T R b の電極を共通に接続してなる共通グランドライン L g とパネルグランド 5 との間に接続されている。



【特許請求の範囲】

【請求項 1】 電極間に発光層を挟持してなる発光素子を表示領域に配列してなる表示装置において、前記発光素子の最大輝度を制限する輝度制限回路を設けたことを特徴とする表示装置。

【請求項 2】 請求項 1 記載の表示装置において、前記輝度制限回路は、前記表示領域に配列された複数の発光素子に流れる合計の電流値に応じて当該各発光素子に流れる電流を制限することを特徴とする表示装置。

【請求項 3】 請求項 2 記載の表示装置において、前記制御回路は、前記各発光素子の電極を共通に接続してなる共通電極の電位を制御することを特徴とする表示装置。

【請求項 4】 請求項 3 記載の表示装置において、前記輝度制限回路は、前記各発光素子の電極及び当該各発光素子に接続された駆動回路の電極のうちの少なくとも一方を共通に接続してなる共通電極と、当該共通電極に接続される一定電位との間に抵抗素子を接続させてなることを特徴とする表示装置。

【請求項 5】 請求項 1 記載の表示装置において、前記輝度制限回路は、前記表示領域が配置された表示パネルの外部に設けられていることを特徴とする表示装置。

【請求項 6】 電極間に発光層を挟持してなる発光素子を表示領域に配列してなる表示装置に取り付けられる輝度制限回路であって、前記表示領域に配列された複数の発光素子に流れる合計の電流値に応じて当該各発光素子に流れる電流を制限することを特徴とする輝度制限回路。

【請求項 7】 前記各発光素子の電極を共通に接続してなる共通電極に接続され、当該共通電極の電位を制御することを特徴とする請求項 6 記載の輝度制限回路。

【請求項 8】 抵抗素子を備え、前記各発光素子の電極または当該各発光素子に接続された駆動回路の電極を共通に接続してなる共通電極と、当該共通電極に接続される一定電位との間に前記抵抗素子を接続させる状態で前記表示装置に取り付けられることを特徴とする請求項 7 記載の輝度制限回路。

【請求項 9】 電極間に発光層を挟持してなる発光素子を表示領域に配列してなる表示装置の駆動方法であって、前記表示領域に配列された複数の発光素子に流れる合計の電流値を検知し、前記電流値が高いほど前記各発光素子に流れる電流が低く制限されるように、当該各発光素子の電極を共通に接続してなる共通電極の電位を制御することを特徴とする表示装置の駆動方法。

【請求項 10】 電極間に発光層を挟持してなる発光素子を表示領域に配列してなる表示装置の駆動方法であって、

前記表示領域に配列された複数の発光素子に流れる合計の電流値を検知し、

前記電流値が所定値を越える範囲において当該電流値が高いほど前記各発光素子に流れる電流が低く制限されるように、当該各発光素子の電極を共通に接続してなる共通電極の電位を制御することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 本発明は表示装置、輝度制限回路及び表示装置の駆動方法に関し、特に自発光型の有機 EL 素子を発光素子として用いた表示装置に好適な表示装置、この表示装置に用いられる輝度制限回路及びこの表示装置の駆動方法に関する。

【0002】

【従来の技術】 有機材料のエレクトロルミネッセンス (Electroluminescence : 以下 EL と記す) を利用した有機 EL 素子は、陽極と陰極との間に、有機正孔輸送層や有機発光層を積層させてなる有機材料層を挟持している。このような構成の有機 EL 素子は、陽極と陰極との間に電圧を印加することにより、陰極から注入された電子と陽極から注入された正孔とが有機発光層で再結合することで発光が生じる自発光素子であることが知られており、10V 以下の駆動電圧で、数 100 ～ 数 1000 cd/m² の輝度を得られる。このため、この有機 EL 素子を発光素子として用いた表示装置 (すなわち有機 EL ディスプレイ) は、次世代フラットパネルディスプレイ (Flat Panel Display : 以下 FPD と記す) として有望視されている。

30 【0003】 ところで、現在、中小型の FPD として最も多く用いられている液晶ディスプレイ (Liquid Crystal Display : LCD) は、バックライトの透過率を液晶の配向によって制御しているが、カラーフィルタや偏光板などによってバックライトの透過率が小さくなる。このため、高輝度を実現するためには、バックライトの輝度を非常に高くする必要がある。ところが、バックライトの輝度を高くすると、黒表示される画素の輝度も上昇する。このため、液晶ディスプレイでは、高コントラストなディスプレイパネルを実現することが難しい。また、液晶ディスプレイにおいては、黒表示を行う画素であっても、バックライトが必要であるため、消費電力が大きくなる。

40 【0004】 これに対して、上述したような有機 EL 素子を発光素子として用いた表示装置は、有機 EL 素子が自発光素子であることから、黒表示を行う画素においては発光素子自体が非発光状態になる。このため、十分に輝度の低い黒表示が可能であり、高コントラストの表示を行うことができる。また、黒表示を行う画素において電力が消費さえることはない。

50 【0005】 図 12 には、このような表示装置のうち、

画素毎に駆動回路を備えたアクティブマトリクス型の表示装置のブロック図を示す。この図に示すアクティブマトリクス型の表示装置では、表示領域 1 に配列形成された各画素（図示省略）に、制御部 2 によって制御される走査信号出力部 3 とデータ信号出力部 4 から、走査信号とデータ信号とが供給される。また、表示領域 1 の各画素には、各画素に設けられた発光素子に電力を供給するためのパネルグランド 5 と共通電源 6 とが接続されている。

【0006】一方、図 13 に示す単純マトリクス型の表示装置では、表示領域 11 の各画素に設けられた発光素子（図示省略）には、制御部 12 に接続されたパネルグランド 15 と共通電源 16 とから、走査信号出力部 13 及びデータ信号出力部 14 を介して電圧が供給される。そして、走査信号出力部 13 で選択された画素の発光素子にのみ、データ信号出力部 14 から供給されたデータ信号に応じた電流が流される。

【0007】以上のように、有機 EL 素子を発光素子として用いた表示装置においては、発光画素に設けられた発光素子にのみ電流が流れるため、電力は発光画素のみでしか消費されず、非発光画素では電力を消費しない。よって、液晶ディスプレイと比較して、低消費電力での表示が可能になる。

【0008】

【発明が解決しようとする課題】ところが、上述したような表示装置には次のような課題があった。すなわち、有機 EL 素子の発光輝度は、有機 EL 素子に流れる電流値に比例するため、高コントラストのディスプレイを実現するためには、高輝度発光を行う画素に対して大電流を流す必要がある。しかし、有機 EL 素子の寿命は、大電流を流すほど短くなる性質がある。これは、大電流を流すことでパネルの消費電力が大きくなるとパネルの発熱が大きくなり、これによって有機材料層－電極界面の劣化が生じたり、有機材料層の膜質が劣化するためである。

【0009】以上のように、有機 EL 素子を発光素子として用いた表示装置においては、コントラストと寿命特性とがトレードオフの関係にあり、これが、高コントラストでの表示が可能でありながらも十分な寿命特性を有する信頼性の高い有機 EL ディスプレイの実現を妨げる要因になっているのである。

【0010】そこで本発明は、さらに低消費電力化を図ることで、高コントラストでの表示が可能でありながらも十分な寿命特性を有する表示装置、このような表示を可能にする輝度制限回路及び表示装置の駆動方法を提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的を達成するための本発明の表示装置は、電極間に発光層を挟持してなる発光素子を表示領域に配列してなる表示装置にお

いて、発光素子の最大輝度を制限する輝度制限回路を設けたことを特徴としている。この輝度制限回路は、表示領域に配列された複数の発光素子に流れる合計の電流値に応じて当該各発光素子に流れる電流を制限するものであり、各発光素子の電極を共通に接続してなる共通電極の電位を制御することによってこれを行う。

【0012】例えば図 1 に示すようなアクティブマトリクス型の表示装置の場合、従来の技術において図 12 を用いて説明したアクティブマトリクス型の表示装置における表示領域 1 と、この表示領域 1 に接続された共通電位であるパネルグランド 5 及び共通電源 6 のうちの少なくともどちらかとの間に輝度制限回路 7 を設ける。

【0013】また、例えば図 2 に示すような単純マトリクス型の表示装置の場合、従来の技術において図 13 を用いて説明した単純マトリクス型の表示装置における表示領域 11 と、この表示領域 11 に制御部 12 を介して接続された共通電位であるパネルグランド 15 及び共通電源 16 のうちの少なくともどちらかとの間に輝度制限回路 17 を設ける。

【0014】このような構成の表示装置では、輝度制限回路によって、表示領域に配列された複数の発光素子に流れる合計の電流値に応じて各発光素子に流れる電流が制限される。これは、発光素子の電極を共通に接続してなる共通電極の電位を制御することによって行われる。このため、例えば、輝度制限回路による設定を、合計の電流値が大きいかほど各発光素子に流れる電流が少なくなるようにすることで、多数の発光素子に電流が流される（合計の電流値が大きい）場合には、これらの各発光素子に流れる電流が抑えられて消費電力が低減される。一方、一部の発光素子にのみ電流が流される（合計の電流値が低い）場合には、発光する一部の発光素子に大電流が流されて最大輝度が高く保たれ、高コントラストの表示が行われるようになる。

【0015】また本発明の輝度制限回路は、電極間に発光層を挟持してなる発光素子を表示領域に配列してなる表示装置に取り付けられる輝度制限回路であって、表示領域に配列された複数の発光素子に流れる合計の電流値に応じて当該各発光素子に流れる電流を制限することを特徴としている。この輝度制限回路は、各発光素子の電極の電極を共通に接続してなる共通電極の電位を制御することによって、各発光素子に流れる電流を制限する。

【0016】このような輝度制限回路を表示装置に取り付けることで、各発光素子の最大輝度が一定に設定された表示装置において、複数の発光素子に流れる合計の電流値に応じて各発光素子の電極の電位が制御され、これにより各発光素子に流れる電流が制限され、各発光素子の最大輝度を制限した表示が行われるようになる。

【0017】さらに本発明の表示装置の駆動方法は、電極間に発光層を挟持してなる発光素子を表示領域に配列してなる表示装置の駆動方法であって、表示領域に配列

された複数の発光素子に流れる合計の電流値を検知し、この電流値の値が高いほど各発光素子に流れる電流が低く制限されるように各発光素子の電極を共通に接続してなる共通電極の電位を制御するか、またはこの電流値が所定値を越える範囲において当該電流値が高いほど各発光素子に流れる電流が低く制限されるように共通電極の電位を制御することを特徴としている。

【0018】このような駆動方法によれば、多数の発光素子に電流が流される場合（すなわち合計の電流値が高い場合）には、各発光素子に流れる電流が低く抑えられて消費電力が低減される。一方、一部の発光素子のみに電流が流される場合（すなわち合計の電流値が低い場合）には、発光する一部の発光素子に大電流が流されて最大輝度が高く保たれ、高コントラストの表示が行われる。したがって、消費電力の低減を図りながらも、高コントラストでの表示が行なわれることになる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。ここでは、有機EL素子を発光素子として用いた表示装置（いわゆる有機ELディスプレイ）に本発明を適用した各実施の形態を説明する。尚、従来の技術において、図12及び図13を用いて説明した表示装置と同様の構成要素には同一の符号を付し、重複する説明は省略する。

【0020】（第1実施形態）図3は、本発明の第1実施形態の表示装置を説明するためのブロック図である。この図に示す表示装置は、アクティブマトリクス型の表示装置であり、従来の技術において図12を用いて説明した従来のアクティブマトリクス型の表示装置との異なるところは、表示領域1と共通電位であるパネルグランド5との間に輝度制限回路7aを設けた点にある。

【0021】この輝度制限回路7aは、例えば抵抗素子Rgからなるものであることとし、表示領域1が設けられている表示パネル上にパターン形成された配線抵抗や、表示パネルの外部に外付けされている高抵抗導線等の線形抵抗素子であることとする。ここで、この抵抗素子Rgによる発熱が表示領域に設けられた発光素子に影響を及ぼすことを防止するために、この抵抗素子Rgは表示領域1から極力離れた位置に設けることが好ましく、さらに好ましくは表示パネルの外部に外付けされていることとする。

【0022】図4は、この表示装置における抵抗素子Rgの接続状態を示す要部回路図である。まず、抵抗素子Rgの接続状態を説明するに先立ち、この図4と前出の図3を参照して表示装置における表示領域1の回路構成を詳細に説明する。

【0023】表示装置における表示領域1には、走査信号出力部3（図3のみに図示）に接続された走査線x(i), x(i+1), …と、データ信号出力部4（図3のみに図示）に接続された信号線y(i), y(i+1), …とが行列

状に配線されている。そして、各走査線x(i), x(i+1), …と信号線y(i), y(i+1), …とが交わる部分に各画素Z(i,i), Z(i+1,i), …が設けられている。尚、以下代表して走査線x、信号線y、画素Zと記す。

【0024】各画素Zは、スイッチング用の非線形素子TRa、保持容量C及び駆動用の非線形素子TRbからなる駆動回路と、発光素子（すなわち有機EL素子）ELとで構成されている。尚、非線形素子TRa, TRbは、共に薄膜トランジスタであることとし、特に駆動用の非線形素子TRbは、飽和領域で動作するように構成されていることとする。

【0025】スイッチング用の非線形素子TRaは、走査線xにゲートを接続させ、信号線yと各画素Zを共通に接続する共通グランドラインLgとにソース・ドレインを接続させた状態で設けられており、非線形素子TRaと共通グランドラインLgとの間に保持容量Cが接続されている。そして、保持容量Cと非線形素子TRaとの間に、駆動用の非線形素子TRbのゲートが接続されている。この非線形素子TRbは、共通グランドラインLgにソースを接続させ、各画素Zに共通の共通電源ラインLvにドレインを接続させている。そして、この非線形素子TRbと共通電源ラインLvとの間に、発光素子ELが接続されている。つまり、各発光素子ELは、一方の電極が共通電源ラインLv（請求項に示す共通電極）に接続され、他方の電極が駆動用の非線形素子TRbを介して共通グランドラインLg（請求項に示す共通電極）に接続されているのである。

【0026】また、各画素Zに接続された共通グランドラインLgは、統合された状態でパネルグランド5に接続されている。一方、各画素Zに接続された共通電源ラインLvは、統合された状態で共通電源6に接続されている。

【0027】そして特に、上述した輝度制限回路7aとなる抵抗素子Rgは、各画素Zの非線形素子TRbを共通に接続する共通グランドラインLgとパネルグランド5との間、つまり、各画素Zの非線形素子TRbに接続された共通グランドラインLgが全て統合された位置に、パネルグランド5と各画素Zの非線形素子TRbとに対して直列に設けられている。

【0028】この様に構成された表示装置では、例えば画素Z(i,i)にデータ信号を表示させる場合、走査線x(i)を選択して電圧を印加することで、画素Z(i,i)におけるスイッチング用の非線形素子TRaがオン状態になり、画素Z(i,i)に接続された信号線y(i)のデータ信号がこの非線形素子TRaのソース・ドレイン間を通して駆動用の非線形素子TRbのゲートに入力される。そして、この非線形素子TRbのゲート電圧に応じた電流が当該非線形素子TRbのソース・ドレイン間に流れ、さらにこれに接続された発光素子ELに流れる。これにより画素Z(i,i)の発光素子ELがデータ信号に対応する

輝度で発光するのである。

【0029】そして、次のタイミングに、画素Z(i,i)に接続された走査線x(i)をオフにするが、画素Z(i,i)における非線形素子TRbのゲート電圧は、保持容量Cによって保持される。このため、この保持容量Cの蓄積電荷がキャンセルされるまで、画素Z(i,i)における発光素子ELの発光は持続する。

【0030】また、この表示装置を駆動する際には、抵抗素子Rgには、各画素Zの発光素子ELに流れる全ての電流が流れることになる。そして、例えば、多くの画素Zの発光素子ELを発光させて表示を行う場合、各画素Zの発光素子ELに流れる合計の電流値（以下パネル電流と記す）が大きくなり、一部の画素Zのみを発光させてデータ表示を行う場合、パネル電流は比較的小さな値になる。

【0031】このため、パネル電流が大きい場合には、抵抗素子Rgでの電圧降下が大きくなり、パネルグラウンド5に対する共通グラウンドラインLgの電位が上昇する。このため、各画素Zにおける駆動用の非線形素子TRbのソース・ゲート間電圧が減少し、これに応じてソース・ドレイン間電流が減少する。この結果、各非線形素子TRbに接続された発光素子ELに流れる電流が減少するのである。

【0032】一方、パネル電流が小さい場合には、抵抗素子Rgでの電圧降下が小さく、共通グラウンドラインLgの電位の上昇は小さく抑えられる。このため、各画素Zにおける駆動用の非線形素子TRbのソース・ゲート間電圧の低下が小さく抑えられ、これによってソース・ドレイン間電流の低下が小さく抑えられる。この結果、各非線形素子TRbに接続された発光素子ELに流れる電流の減少が小さく抑えられる。

【0033】ここで、非線形素子TRbとして用いられている電解効果トランジスタ（薄膜トランジスタ）において、ソース・ドレイン間に流れる飽和電流Idsは、ゲート・ソース間電圧をVgsとし、閾値電圧をVthとすると下記式(1)を満たす。ただし、kは比例定数であることとする。

$$I_{ds} = (k/2) (V_{gs} - V_{th})^2 \dots (1)$$

【0034】図5は、式(1)に基づくゲート・ソース間電圧Vgsと飽和電流Idsとの関係を示すグラフである。式(1)及びこのグラフにしたがって、パネル電流に応じてVgsが低下すると、ソース・ドレイン間を流れる電流、すなわちパネル電流がなめらかに変化する。

【0035】このため、パネル電流の値に応じてなめらかに最大輝度を変化させた表示を行うことが可能になることが分かる。

【0036】また、このグラフに示すように、抵抗素子Rgの抵抗値を大きくするにしたがって、発光面積の割合の上昇にともなう相対輝度の低下率が大きくなること

が分かる。このため、輝度制限回路7aとして用いる線形抵抗素子Rgの抵抗値を適切に選択することで、パネル電流に応じた最大輝度の抑制効果を設定することが可能になる。

【0037】以上のように、大多数の画素Zに電流を流して表示を行う場合には、各画素Zに流される電流が低く抑えられて消費電力が抑制され、発熱や電流を流すことによる発光素子ELの劣化、具体的には発光素子ELを構成する有機発光層を含む有機層の劣化を防止することができる。さらに、大電流時のパネル電流が抑制されることになるため、有機層の劣化によるディスプレイの焼き付きを防止することができる。

【0038】しかも、一部の画素Zにのみ電流を流して表示を行う場合には、各画素に流される電流の最大電流値が高く保たれ最大発光輝度を高く保った表示が可能であり、高コントラストの表示を行うことができる。

【0039】この結果、十分な寿命特性を備えた高コントラストな表示装置を実現することが可能になる。

【0040】また特に、本実施形態においては、輝度制限回路7aとして線形の抵抗素子Rgを用いているため、複雑な回路を用いることなく抵抗素子Rgを挿入するといった容易でかつ低コストな手段で上述の効果を得ることができる。

【0041】（第2実施形態）図6は、本発明の第2実施形態の表示装置の構成を説明するための要部回路図である。この図に示す表示装置は、アクティブマトリクス型の表示装置であり、従来の技術において図12を用いて説明したアクティブマトリクス型の表示装置との異なるところは表示領域1と共通電源6との間に抵抗素子Rvからなる輝度制限回路7aを設けた点にある。

【0042】この抵抗素子Rvは、第1実施形態で説明した抵抗素子と同様の非線形抵抗素子であり、第1実施形態で説明したと同様に表示領域1から極力離れた位置に設けることが好ましい。そして特に、上述した輝度制限回路7aとなる抵抗素子Rvは、各画素Zの発光素子ELを共通に接続する共通電源ラインLvと共通電源6との間、つまり、各画素Zの発光素子ELに接続された共通電源ラインLvが全て統合された位置に、共通電源6と各画素Zの発光素子ELとに対して直列に設けられている。

【0043】また、表示領域1の回路構成は第1実施形態で説明した表示装置と同様であることとする。ただし、各画素Zに設けられている駆動用の非線形素子TRbは、少なくともパネル電流が大きい場合にリニア領域で動作するように設定されていることとする。例えばここでは、非線形素子TRbの出力特性が図7に示すような場合、非線形素子TRbがその出力特性のリニア領域①内で動作するように設定されていることとする。このような領域で動作する非線形素子TRbのソース・ドレイン間に流れる電流Idsは、ゲート・ソース間電

圧を V_{gs} とし、閾値電圧を V_{th} とし、ソースドレイン間電圧を V_{ds} とすると、下記式(3)を満たす。

$$I_{ds} = k \{ (V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2 \} \dots (3)$$

【0044】この様に構成された表示装置において、各画素Zを発光させるための駆動は、上記第1実施形態と同様である。

【0045】また、この表示装置を駆動させる際には、第1実施形態と同様に、各画素Zの発光素子ELに流れる全ての電流(パネル電流)が抵抗素子Rvに流れることになる。

【0046】そして、パネル電流が大きい場合には、抵抗素子Rvでの電圧降下が大きくなり、共通電源ラインLvの電位が大きく低下し、これによって各画素Zにおける駆動用の非線形素子TRbのソース・ドレイン間電圧が低下する。このため、非線形素子TRbのソース・ドレイン間電流が減少し、各非線形素子TRbに接続された発光素子ELに流れる電流が減少するのである。

【0047】一方、パネル電流が小さくなった場合には、抵抗素子Rvでの電圧降下が小さく、共通電源ラインLvの電位の低下が低く抑えられ、各画素Zにおける駆動用の非線形素子TRbのソース・ドレイン間電圧、及びソース・ドレイン間電流の低下が小さく抑えられる。この結果、各非線形素子TRbに接続された発光素子ELに流れる電流はほとんど減少することなく、最大電流値を高く維持することができ、最大輝度を高く保った表示が行われる。

【0048】以上説明したように、第2実施形態の表示装置は、第1実施形態と同様に大多数の画素Zに電流を流して表示を行う場合には、各画素Zに流される電流が低く抑えられて消費電力が抑制され、発熱による発光素子ELの劣化、具体的には発光素子ELを構成する有機発光層を含む有機層の劣化等を防止することができる。また、一部の画素Zにのみ電流を流して表示を行う場合には、各画素Zに流される電流の最大電流値を高く維持できて、高い最大輝度での表示が可能であり、高コントラストの表示を行うことができる。

【0049】この結果、第1実施形態と同様に、十分な寿命特性を備えた高コントラストな表示装置を実現することが可能になる。また、第1実施形態と同様に、輝度制限回路7aとして線形の抵抗素子Rvを用いているため、複雑な回路を用いることなく抵抗素子Rvを挿入するといった容易でかつ低コストな手段で上述の効果を得ることができる。

【0050】(第3実施形態)ここでは、第2実施形態の説明で用いた図6及び図7に基づいて、第3実施形態の表示装置を説明する。本第3実施形態の表示装置と第2実施形態の表示装置との異なるところは、駆動用の非線形素子TRbの動作領域にある。すなわち、この表示装置においては、駆動用の非線形素子TRbが、リニア領域①から飽和領域②に掛けて設定された範囲で動作す

ただし、kは比例定数であることとする。

るように回路定数が設定されているのである。

【0051】駆動用の非線形素子TRbの動作領域をこのような設定にすることで、パネル電流が所定値を越えた場合に、すなわち抵抗素子Rvでの電圧降下及びこれによる共通電源ラインLvの電位の低下が所定値を越えて各画素Zにおける駆動用の非線形素子TRbのソース・ドレイン間電圧がリニア領域①に達した場合にのみ、非線形素子TRbのソース・ドレイン間電流I_{ds}が低下するようになり、各非線形素子TRbに接続された発光素子ELに流れる電流が減少するのである。一方、パネル電流が上記所定値を越えない場合には、各非線形素子TRbの動作領域が飽和領域②に維持されるため、各画素Zにおける駆動用の非線形素子TRbのソース・ドレイン間電流I_{ds}は、駆動用の非線形素子TRbのソース・ドレイン間電圧V_{ds}に依存することなく一定値に維持される。したがって、各画素Zに流される最大電流値も維持されることになる。

【0052】したがって、パネル電流が所定値を越えた場合にのみ各画素Zの最大輝度が抑制されるような特性を有し、高コントラストで十分な寿命特性を有する表示装置を得ることができる。

【0053】(第4実施形態)図8は、本発明の第4実施形態の表示装置を説明するためのブロック図である。上述した第1実施形態、第2実施形態及び第3実施形態においては、1つの抵抗素子からなる輝度制限回路を表示領域と共通電位(パネルグランドまたは共通電源)との間に接続させた場合を説明したが、輝度制限回路の構成はこれに限定されることはなく、例えばスイッチング機能を有するものであっても良い。そこで本第4実施形態においては、図8を用いてスイッチング機能を有する輝度制限回路7bを用いた表示装置を説明する。

【0054】この輝度制限回路7bは、パネル電流のモニタ701を備えており、このモニタ701とパネルグランド5との間にスイッチ702を設けている。また、モニタ701とパネルグランド5との間には、このスイッチ702と並列に、モニタ701側からスイッチ703及び抵抗素子Rgが直列に接続されている。この抵抗素子Rgは第1実施形態と同様のものであることとする。そして、モニタ701で測定されたパネル電流によってスイッチ702とスイッチ703の切り替えを制御する電流制御部704を備えている。この電流制御部704は、パネル電流が所定値を越えた場合には、抵抗素子Rg側のスイッチ703を接続状態にしてスイッチ702を遮断し、パネル電流が所定値を越えない場合には、抵抗素子Rg側のスイッチ703を遮断してスイッチ702を接続させる。このような輝度制限回路7bは、第1実施形態と同様に、表示領域1が配置されるパ

ネルの外部に配置されることが望ましい。

【0055】このような構成の輝度制限回路 7 b を有する表示装置では、パネル電流が所定値を越えた場合に抵抗素子 R g が接続され、この抵抗素子 R g の電圧降下によって、パネルグランド 5 に対する共通グランドラインの電位が低下し、各画素 Z における駆動用の非線形素子 T R b のソースドレイン間電流 I d s が低下するようになり、各非線形素子 T R b に接続された発光素子 E L に流れる電流が減少するのである。一方、パネル電流が所定値を越えない場合には、抵抗素子 R g は接続が遮断された状態になるため、各画素 Z に流れる最大電流値は一定値に維持される。

【0056】このため、第 3 実施形態と同様の駆動が行われることになり、第 3 実施形態の表示装置と同様の効果を得ることができる。

【0057】また、この場合、抵抗値の異なる複数の抵抗素子 R g をスイッチを介して並列に接続させ、パネル電流の電流値によってこのスイッチの切り替えを行うように輝度制限回路 7 b を構成しても良い。

【0058】このような構成の輝度制限回路 7 b を用いた場合、パネル電流の増加分に対する発光素子 E L の電流値の減少幅を、パネル電流値の範囲毎に変化させた駆動を行うことができる。

【0059】（第 5 実施形態）図 9 は、本発明の第 5 実施形態の表示装置を説明するための要部回路図である。上述した各実施形態においては、輝度制限回路として配線抵抗や高抵抗導線等の線形抵抗素子を用いた場合を説明したが、輝度制限回路の構成はこれに限定されることはなく、例えば非線形抵抗素子を用いても良い。そこで本第 5 実施形態においては、図 9 を用いて非線形抵抗素子 R g' からなる輝度制限回路 7 c を用いた表示装置を説明する。

【0060】この輝度制限回路 7 c は、非線形抵抗素子 R g' からなり、トランジスタのような非線形素子の出力抵抗を利用したものである。この輝度制限回路 7 c は、n チャンネルトランジスタの非線形抵抗素子 R g' のゲートとソースとを短絡させた状態でパネルグランド 5 と各画素 Z の非線形素子 T R b とに対して直列に設けられている。

【0061】この非線形抵抗素子 R g' では、ソースドレイン間電圧を V d s とし、閾値電圧を V t h とすると、ソースドレイン間電流 I d s は下記式 (4) を満たす値になる。

$$I d s \propto (V d s - V t h)^2 \cdots (4)$$

【0062】したがって、この非線形抵抗素子 R g' は、この式 (4) で決まる非線形抵抗値を有することになる。以上から、このような非線形抵抗素子 R g' からなる輝度制限回路 7 b を有する表示装置であっても、パネル電流の値に応じてパネルグランド 5 に対する共通グランドラインの電位を制御して、各画素 Z の発光素子に

流れる電流を減少させることができる。

【0063】また、非線形抵抗素子を用いた輝度制限回路としては、この他にも図 10 に示すような構成の輝度制限回路 7 d であっても良い。この輝度制限回路 7 d は、パネルグランド 5 と各画素 Z の非線形素子 T R b との間に、ソースとドレインとを接続させた非線形抵抗素子 R g' と、非線形抵抗素子 R g' のパネルグランド 5 側に接続されたパネル電流のモニタ 707 と、このモニタ 707 で測定されたパネル電流に応じて非線形抵抗素子 R g' のゲート電圧を制御する制御回路 708 とで構成されている。

【0064】このような構成の輝度制限回路 7 d においては、非線形抵抗素子 R g' のソースドレイン間電流 I d s は、ゲートソース間電圧を V g s とし、閾値電圧を V t h とすると、下記式 (5) を満たす値になる。

$$I d s \propto (V g s - V t h)^2 \cdots (5)$$

【0065】したがって、このような輝度制限回路 7 d においては、制御回路 708 による非線形抵抗素子 R g' のゲート電圧の制御によって、非線形抵抗素子 R g' の抵抗特性を設定することができる。したがって、所望の輝度特性を持つ表示装置を得ることができる。

【0066】以上説明した各実施形態においては、アクティブマトリクス型の表示装置において、各画素 Z に設けられた駆動用の非線形素子 T R b と共通電源ライン L v との間に発光素子 E L を設けた場合を説明した。しかし、本発明はこれに限定されることはなく、図 11 に示すように、駆動用の非線形素子 T R b と共通グランドライン L g との間に発光素子 E L を設けた回路構成の表示装置にも適用可能である。尚、図 11 においては、第 1 実施形態で説明した表示装置において表示領域の回路構成を変更した場合を示したがこれに限定されることはなく、第 1 実施形態から第 5 実施形態で説明した各表示装置でも同様である。ただし、各実施形態で説明した構成に適用する場合には、所望の表示特性が得られるように、各表示装置に設けられる輝度制限回路の構成及び設定を適切に選択することとする。

【0067】さらに、以上説明した各実施形態においては、アクティブマトリクス型の表示装置に本発明を適用した場合を説明した。しかし、本発明はこれに限定されることはなく、単純マトリクス型の表示装置にも適用可能である。単純マトリクス型の表示装置に本発明を適用する場合には、課題を解決する手段において既に図 2 を用いて説明したように、表示領域 11 に接続された制御部 12 と、共通電位であるパネルグランド 15 や共通電源 16 との間に輝度制限回路 17 を設けることとする。

【0068】ただし、単純マトリクス型の表示装置では、表示領域 11 の全面に設けられた各画素に一度に電流が流されることはない。このため、輝度制御回路 17 では、例えば 1 画面を構成する 1 フレーム期間中に全ての画素に流される合計の電流値に応じて各画素の発光素子

に流れる電流を制御することとする。

【0069】以上説明した実施形態においては、輝度制限回路を設けた表示装置を説明した。しかし、輝度制限回路は、表示装置に対して後付けされるものでも良く、各実施形態で説明したそれぞれの構成を備えていることとする。このような輝度制限回路は、各発光素子の最大輝度が一定に設定された表示装置に対して、上述の各実施形態で説明したような所定状態で取り付けられる。これによって、各発光素子の最大輝度が一定に設定された表示装置において、複数の発光素子に流れる合計の電流値に応じて各発光素子に流れる電流が制限され、各発光素子の最大輝度を制限した表示を行うことが可能になる。このため、表示装置を高コントラストに保ちながらも、その劣化を防止することが可能になる。

【0070】

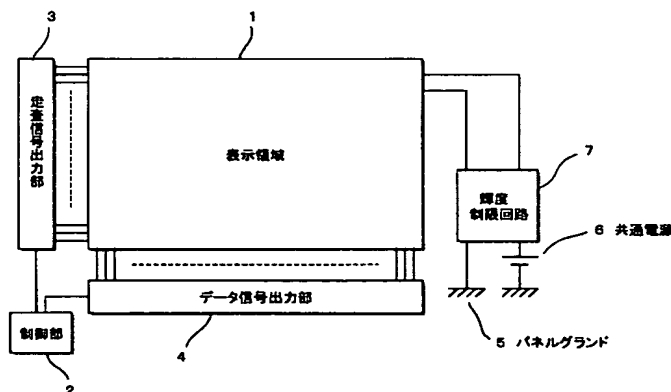
【発明の効果】以上説明したように本発明の表示装置、輝度制限回路及び表示装置の駆動方法によれば、多数の発光素子に電流が流されて表示領域全体が明るい場合には、各発光素子に流れる電流が抑えられて消費電力の低減を図ることができ、一方、一部の発光素子にのみ電流が流されて表示全体が暗めである場合には、発光する一部の発光素子に大電流を流すことができるため最大輝度が高く保たれ、高コントラストの表示を行うことが可能になる。したがって、全体的な消費電力の低減を図って表示素子の劣化を防止することが可能になり、十分な寿命特性を備えた高コントラストな表示装置を実現することが可能になる。

【図面の簡単な説明】

【図1】本発明を適用したアクティブマトリクス型の表示装置の一例を示すブロック図である。

【図2】本発明を適用した単純マトリクス型の表示装置の一例を示すブロック図である。

【図1】



【図3】第1実施形態の表示装置の詳細を示すブロック図である。

【図4】第1実施形態の表示装置の詳細を示す要部回路図である。

【図5】非線形素子TRbにおけるソース・ドレイン間に流れる飽和電流 I_{ds} とゲート・ソース間電圧 V_{gs} との関係を示すグラフである。

【図6】第2実施形態の表示装置の詳細を示す要部回路図である。

【図7】第2実施形態の表示装置に設けられる駆動用の非線形素子の動作領域を説明するグラフである。

【図8】第4実施形態の表示装置の構成を示す表示装置のブロック図である。

【図9】第5実施形態の表示装置の構成を説明する要部回路図である。

【図10】第5実施形態の表示装置の他の構成を説明する要部回路図である。

【図11】本発明を適用する表示装置における表示領域の回路構成の他の例を示す回路図である。

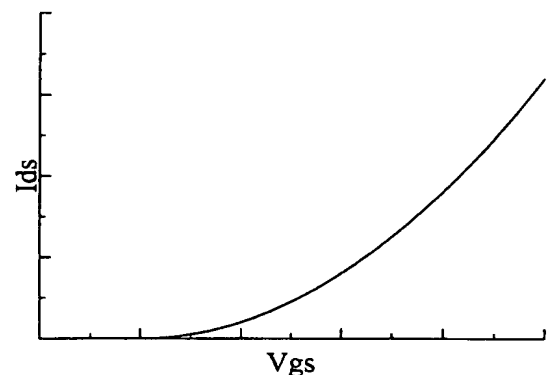
【図12】従来の表示装置の構成を示すブロック図である。

【図13】従来の表示装置の他の構成を示すブロック図である。

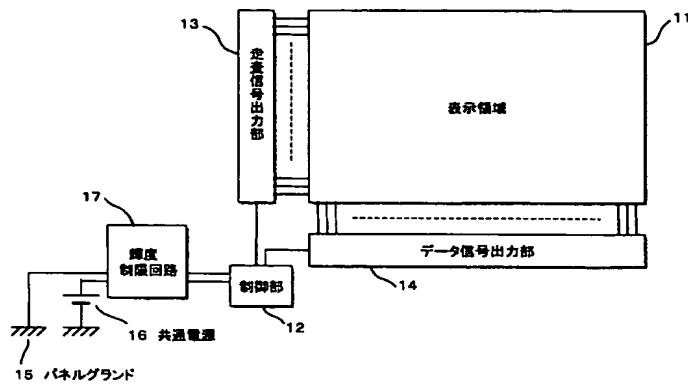
【符号の説明】

1, 11…表示領域、5, 15…パネルグランド、6, 16…共通電源、7, 7a, 7b, 7c, 7d, 17…輝度制限回路、 R_g, R_v …抵抗素子（線形）、 R_g' …非線形抵抗素子、EL…発光素子、 L_g …共通グランドライン、 L_v …共通電源ライン、TRa…スイッチング用の非線形素子、TRb…駆動用の非線形素子、C…保持容量

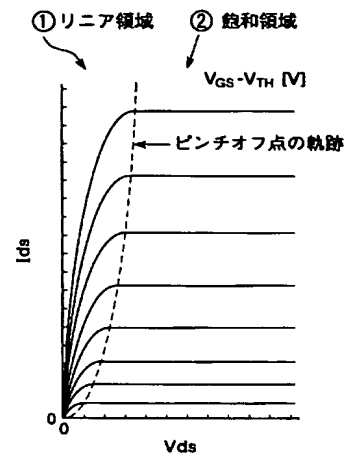
【図5】



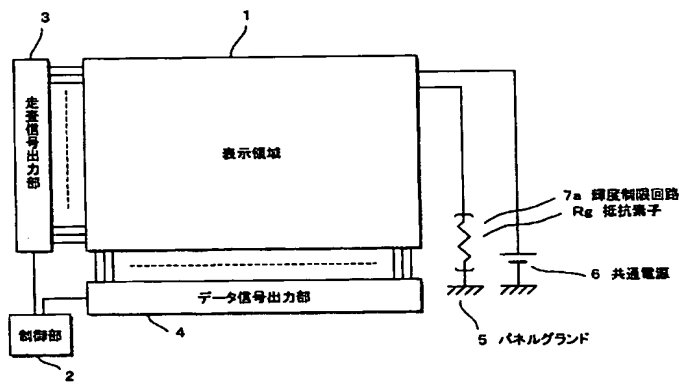
【図2】



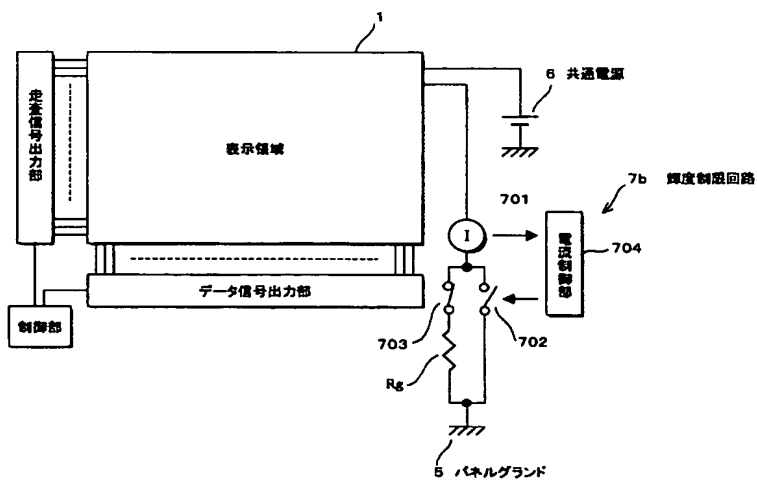
【図7】



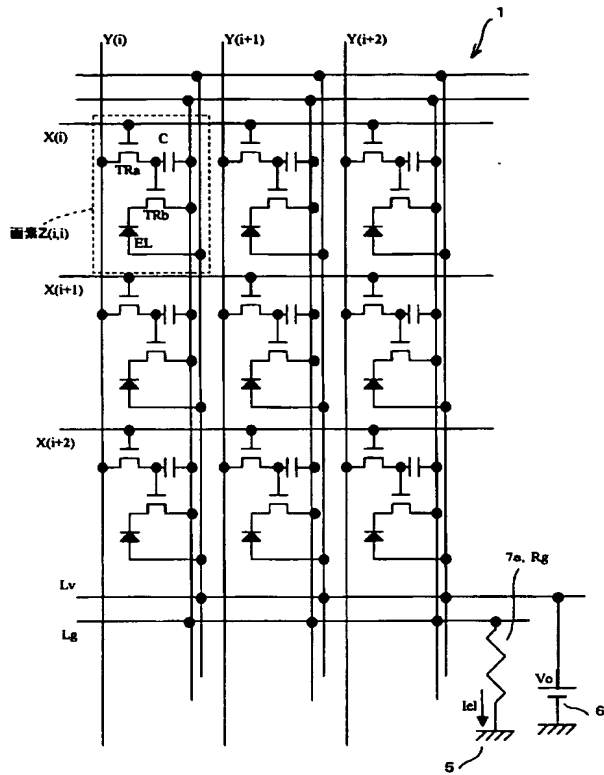
【図3】



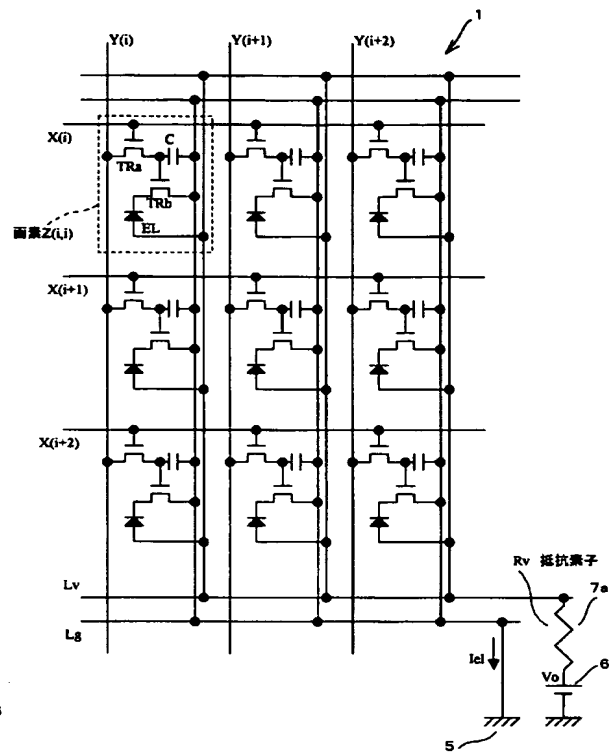
【図8】



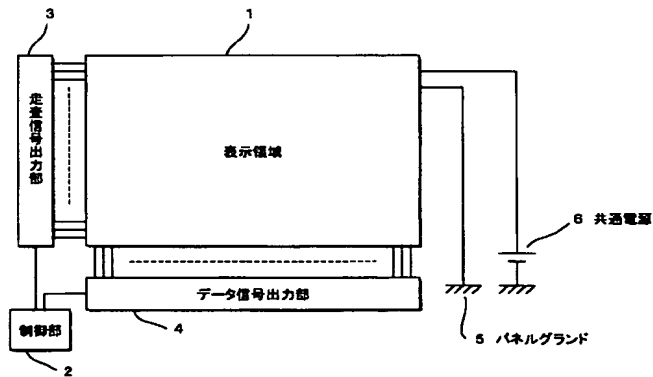
【図4】



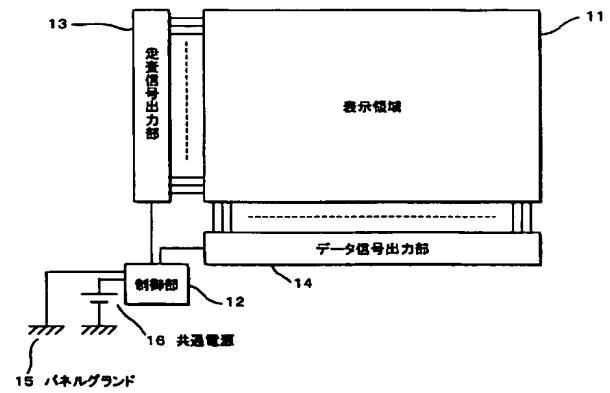
【図6】



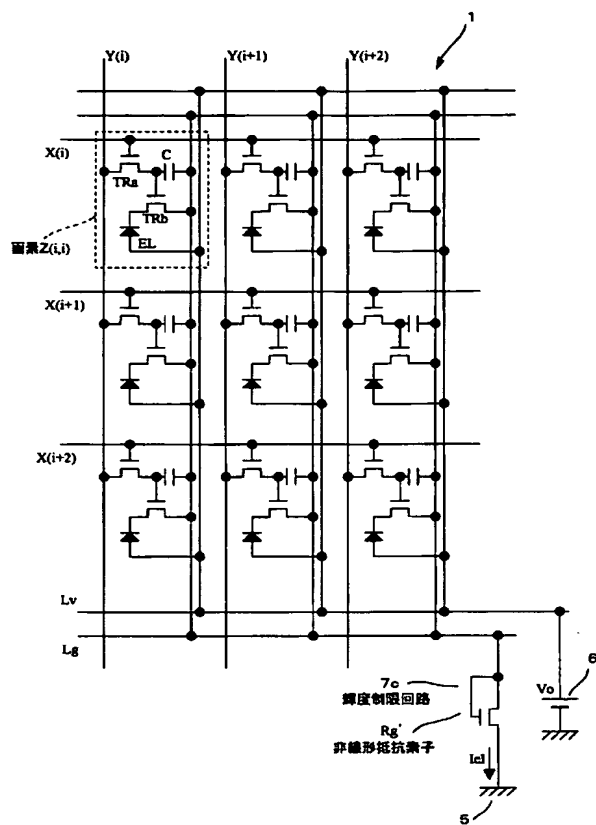
【図12】



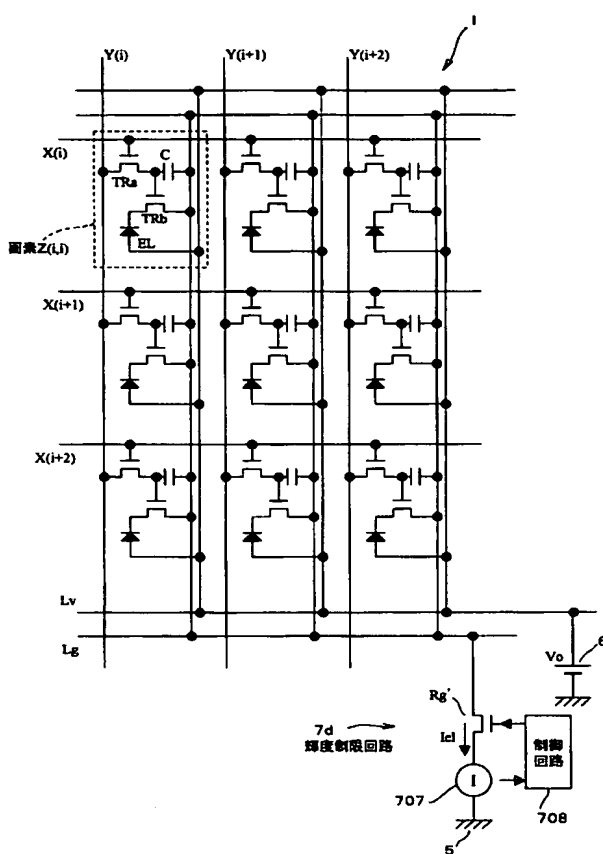
【図13】



【図9】



【図10】



F ターム (参考)	3K007	AB11	AB14	AB17	BA06	DA01
		DB03	EB00	GA03	GA04	
	5C080	AA06	BB05	DD26	DD30	EE28
		FF03	HH09	JJ02	JJ03	JJ05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.